

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-086740

(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

H02M 3/155

(21)Application number : 11-262696

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.09.1999

(72)Inventor : SAITO FUSAKATSU

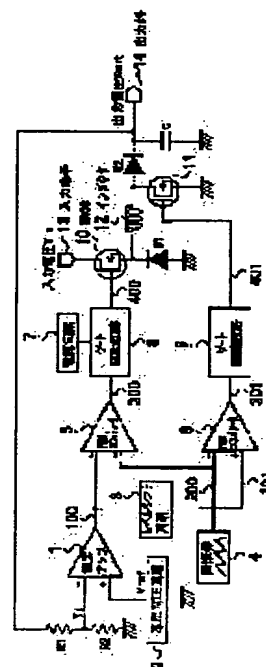
(54) DC-DC CONVERTER DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To set a control signal to a high frequency for miniaturizing parts, without reducing the voltage conversion efficiency, and to minimize a circuit.

SOLUTION: As a switching element for stepping-down/stepping-up, an NMOS transistor is used. When an input voltage is higher than a prescribed output voltage by the error signal of an error amplifier, a control signal is outputted from a PWM comparator 5, a drive signal is generated from a gate drive circuit 8, and an NMOS 10 for step-down is switched. At this time by the error signal whose level is shifted by a level shift circuit, the drive signal of a gate drive circuit 9 is set to a low level, and an NMOS 11 is turned off, thus lowering an output voltage V_{out} to a prescribed voltage. When an input voltage is lower than the prescribed output voltage by the error signal whose level is shifted by the level shift circuit, the control signal is outputted from a PWM comparator 6, and the NMOS 11 for step-up is switched.

At this time, the NMOS 11 is turned on, thus raising the output voltage V_{out} until it reaches a prescribed voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-86740

(P2001-86740A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl.⁷

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

テーマコード(参考)

U

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号 特願平11-262696

(22) 出願日 平成11年9月16日 (1999.9.16)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 齊藤 総克

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100083806

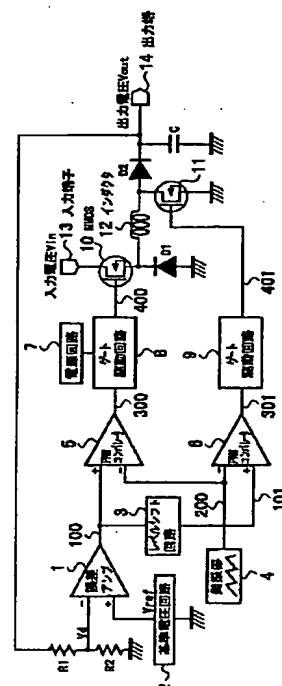
弁理士 三好 秀和 (外7名)

(54) 【発明の名称】 DC-DCコンバータ装置

(57) 【要約】

【課題】 電圧変換効率を落とすことなく制御信号を高周波にして部品を小型にし、回路サイズを小さくすること。

【解決手段】 降圧用、昇圧用スイッチング素子として、NMOSトランジスタを使用する。入力電圧が、所定出力電圧よりも高いと、誤差アンプの誤差信号により、PWMコンパレータ5から制御信号が出力され、ゲート駆動回路8から駆動信号が発生され、降圧用NMOS10をスイッチングさせる。この時レベルシフト回路によりレベルシフトされた誤差信号により、ゲート駆動回路9の駆動信号はローレベルでNMOS11はオフとなる。これにより出力電圧 V_{out} が所定電圧になるまで下降する。入力電圧が所定出力電圧よりも低いと、レベルシフト回路によりレベルシフトされた誤差信号によって、PWMコンパレータ6から制御信号が出力され、昇圧用NMOS11をスイッチングさせる。この時、NMOS10はオンとなる。これにより出力電圧 V_{out} が所定電圧になるまで上昇する。



【特許請求の範囲】

【請求項1】 昇圧用スイッチング素子と、

降圧用スイッチング素子とを備え、

前記昇圧用スイッチング素子と降圧用スイッチング素子のいずれか一方をスイッチングして出力電圧を上昇させ、又は下降させる制御を行うDC-DCコンバータ装置において、

発振信号を発生する発振回路と、

前記出力電圧と基準電圧との差に対応する誤差信号を発生する差分回路と、

前記誤差信号の値により前記発振信号のパルス幅を変調して生成する第1の制御信号を発生すると共に、前記誤差信号の値によっては前記第1の制御信号を一定レベルとする第1のパルス幅変調用比較回路と、

前記誤差信号のレベルをシフトさせるレベルシフト回路と、

前記レベルシフトされた前記発振信号によりパルス幅を変調して生成する第2の制御信号を発生すると共に、前記誤差信号の値によっては前記第2の制御信号を一定レベルとする第2のパルス幅変調用比較回路と、

前記第1の制御信号によりスイッチングされる降圧用の第1のMOSトランジスタと、

前記第2の制御信号によりスイッチングされる昇圧用の第2のMOSトランジスタと、

前記第1又は、第2のMOSトランジスタをスイッチングさせた時にスイッチング電流が流れるインダクタと、このインダクタに流れるスイッチング電流を整流平滑する整流平滑回路と、

を具備することを特徴とするDC-DCコンバータ装置。

【請求項2】 前記第1、第2のMOSトランジスタを両方ともN型のMOSトランジスタとすることを特徴とする請求項1記載のDC-DCコンバータ装置。

【請求項3】 前記第2のN型のMOSトランジスタをスイッチングさせる前記第2の制御信号のピーク電圧を高電圧化するための高電圧電源回路を設けたことを特徴とする請求項2記載のDC-DCコンバータ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力直流電圧を昇圧又は降圧して出力する昇降圧型のDC-DCコンバータ装置に関する。

【0002】

【従来の技術】従来から、昇降圧型のDC-DCコンバータ（装置）には、大別して、（1）昇圧型のスイッチングレギュレータと降圧型のスイッチングレギュレータをシリーズに接続して成るSEPIC方式、（2）昇圧型のスイッチングレギュレータにリニアレギュレータを接続した方式、（3）スイッチドキャパシタ（チャージポンプ）方式、（4）降圧型DC-DCコンバータと昇

圧型DC-DCコンバータをひとつの回路として接続した昇降圧型のDC-DCコンバータ方式の4つの回路方式がある。

【0003】しかし、（3）スイッチドキャパシタ（チャージポンプ）方式では、回路のサイズ（面積）は小さいが、出力電流が200mA程しか取れず、出力が大きいものには向かない。（2）昇圧型のスイッチングレギュレータにリニアレギュレータを接続した方式では、リニアレギュレータによる降圧動作の効率が悪く、電圧変換効率が悪い。（1）SEPIC方式は、（2）の方式よりも電圧変換効率はよいが、昇圧型のスイッチングレギュレータと降圧型のスイッチングレギュレータを同時に動作させているため、昇圧用のスイッチングレギュレータと降圧用のスイッチングレギュレータのいずれか一方しか動作させない（4）の昇降圧型のDC-DCコンバータ方式に比べて効率が悪い。

【0004】従って、（4）の方式は他の3方式に比べて電圧変換効率に優れ、しかも、大きな出力電流を取れる割には回路のサイズも比較的小さいため、最もポピュラーに使用されている。

【0005】図5は従来の昇降圧DC-DCコンバータの構成例を示した回路図（例えば実公平7-27831）である。本例では、降圧用スイッチング素子としてPNP型トランジスタを使用し、昇圧用スイッチング素子としてNPN型トランジスタを使用している。

【0006】本回路の出力電圧 V_{out} は抵抗26、27により分圧されて、誤差アンプ24に入力される。誤差アンプ24は前記分圧電圧 V_d と制御入力電圧 V_o とを比較し、制御入力電圧 V_o との誤差信号を直接コンパレータ21に出力すると共に、同誤差信号をレベルシフト29で所定電圧シフトしてからコンパレータ22に出力している。一方、コンパレータ21、22の別の入力端子には発振器23により発振された三角波信号が入力されている。

【0007】ここで、出力電圧 V_{out} が所定電圧よりも高い場合、コンパレータ21は、誤差信号によって三角波信号をPWM変調して生成した制御信号をPNP型トランジスタ12に出力する。

【0008】この時、レベルシフトされた誤差信号によりコンパレータ22の出力はローレベルで、NPN型トランジスタ28をオフさせている。これにより、PNP型トランジスタ25は前記制御信号によりスイッチングして、出力電圧 V_{out} を所定電圧まで降圧させ、維持する。

【0009】一方、出力電圧 V_{out} が所定電圧よりも低い場合、コンパレータ22は、レベルシフトされた誤差信号により前記三角波信号をPWM変調して生成した制御信号をNPN型トランジスタ28に出力する。この時、レベルシフトされた誤差信号によりコンパレータ21の出力はローレベルで、PNP型トランジスタ25を

オンさせている。これにより、NPN型トランジスタ28は前記制御信号によりスイッチングして、出力電圧 V_{out} を所定電圧まで昇圧させ、維持する。

【0010】

【発明が解決しようとする課題】ところで、上記した従来の昇降圧型のDC-DCコンバータ等では、回路サイズ（面積）の一層の小型化を図るために、スイッチング素子を駆動する制御信号の周波数の高周波化が図られている。その理由は、前記制御信号を高周波化すると、インダクタ14を流れる電流の振幅を小さくでき、スイッチング素子、インダクタ、平滑コンデンサなどの部品を小型化することができるためである。

【0011】しかし、単純に制御信号を高周波化すると、スイッチング素子で発生するスイッチング損失が制御信号の周波数に比例して増大するため、DC-DCコンバータの動作が不安定になったり、著しい場合にはスイッチング素子が破壊したりする。

【0012】スイッチング素子にバイポーラトランジスタが使用されている図5に示した従来の回路も高周波化すると、例えば制御信号を1MHzにした場合、発熱が大きくなり、電力変換効率は50%程度になって、動作が安定しなくなってしまう。

【0013】これにより、図5に示した従来の昇降圧DC-DCコンバータでは、制御信号の高周波化を図って回路サイズを思うように小さくすることができないという問題があった。

【0014】本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、電圧変換効率を落とすことなく、制御信号の高周波化を図って部品を小型にすることにより、回路サイズを小さくすることができる昇降圧用のDC-DCコンバータ装置を提供することである。

【0015】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明の特徴は、昇圧用スイッチング素子と、降圧用スイッチング素子とを備え、前記昇圧用スイッチング素子と降圧用スイッチング素子のいずれか一方をスイッチングして出力電圧を昇圧させ、又は降圧させる制御を行うDC-DCコンバータ装置において、発振信号を発生する発振回路と、前記出力電圧と基準電圧との差に対応する誤差信号を発生する差分回路と、前記誤差信号の値により前記発振信号のパルス幅を変調して生成する第1の制御信号を発生すると共に、前記誤差信号の値によっては前記第1の制御信号を一定レベルとする第1のパルス幅変調用比較回路と、前記誤差信号のレベルをシフトさせるレベルシフト回路と、前記レベルシフトされた前記発振信号によりパルス幅を変調して生成する第2の制御信号を発生すると共に、前記誤差信号の値によっては前記第2の制御信号を一定レベルとする第2のパルス幅変調用比較回路と、前記第1の制御信号によ

りスイッチングされる降圧用の第1のMOSトランジスタと、前記第2の制御信号によりスイッチングされる昇圧用の第2のMOSトランジスタと、前記第1又は、第2のMOSトランジスタをスイッチングさせた時にスイッチング電流が流れるインダクタと、このインダクタに流れるスイッチング電流を整流平滑する整流平滑回路とを具備することにある。

【0016】請求項2の発明の特徴は、前記第1、第2のMOSトランジスタを両方ともN型のMOSトランジスタとすることにある。

【0017】請求項3の発明の特徴は、前記第2のN型のMOSトランジスタをスイッチングさせる前記第2の制御信号のピーク電圧を高電圧化するための高電圧電源回路を設けたことにある。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図1は、本発明のDC-DCコンバータ装置の一実施の形態を示した回路図である。DC-DCコンバータ装置は、出力電圧 V_{out} （実際は V_{out} の分圧値 V_d ）と基準電圧 V_{ref} とを比較して誤差信号100を生成する誤差アンプ1、基準電圧 V_{ref} を発生する基準電圧回路2、誤差信号100のレベルを所定電圧 ΔE シフトするレベルシフト回路3、制御用の三角波信号200を発振する発振器4、三角波信号200を誤差信号100でPWM変調して生成した制御信号300を発生するPWMコンパレータ5、三角波信号200を誤差信号101でPWM変調して生成した制御信号301を発生するPWMコンパレータ6、高圧の電圧を発生する電源回路7、電源回路7から発生した高圧の電圧を用いて制御信号300から駆動信号400を発生するゲート駆動回路8、制御信号301から駆動信号401を発生するゲート駆動回路9、駆動信号400により駆動されてスイッチングする降圧用NMOSトランジスタ10、駆動信号401により駆動されてスイッチングする昇圧用NMOSトランジスタ11、スイッチング電流が流れるインダクタ12、入力電圧 V_{in} を入力する入力端子13、出力電圧 V_{out} を出力する出力端子14、平滑用コンデンサC、スイッチング電流を整流するダイオードD1、D2、出力電圧 V_{out} を分圧する抵抗R1、R2を有している。

【0019】図2は図1に示した電源回路7としてチャージポンプを用いた場合の構成例を示した回路図である。チャージポンプは、電圧Eの矩形波を発生する発振器（OSC）71、矩形波電圧Eを昇圧（2E）するダイオードD3、D4、D5及びコンデンサC1、C2、C3から成っている。

【0020】図3は図1に示したゲート駆動回路8の構成例を示した回路図である。ゲート駆動回路8は、インバータ81、82を直列に接続した回路で、インバータ81、82に電源回路7からの高電圧（2E）が供給さ

れている。

【0021】図4は図1に示したレベルシフト回路3の構成例を示した回路図である。

【0022】レベルシフト回路3は、抵抗R3と定電流源31およびこの定電流源に流れる電流と等しい電流を抵抗R3に供給するカレントミラーから成り、R3の両端から取り出される誤差信号100と101の間には、R3と定電流iの積に等しいシフト電圧 ΔE が生じる。このシフト電圧 ΔE は、昇圧用NMOSトランジスタと降圧用NMOSトランジスタが同時にスイッチング動作することを避けるために設けたもので、その値は三角波信号200の電圧振幅と等しいか、またはより大きく設定する。

【0023】次に本実施の形態の動作について説明する。入力端子13から入力電圧 V_{in} が入力され、出力端子14から所定電圧の出力電圧 V_{out} が出力される。

【0024】出力電圧 V_{out} は抵抗R1、R2により分圧され、誤差アンプ1に入力される。誤差アンプ1は前記分圧電圧 V_d と基準電圧 V_{ref} とを比較し、基準電圧 V_{ref} との誤差信号100を発生して、これを直接PWMコンパレータ5に入力すると共に、同誤差信号100をレベルシフト回路3で所定電圧 ΔE シフトした誤差信号101をPWMコンパレータ6に入力する。一方、PWMコンパレータ5、6の別の入力端子には発振器4より発振された三角波信号200が入力されている。

【0025】ここで、入力電圧 V_{in} が設定出力電圧よりも高い場合、PWMコンパレータ5は、誤差信号100でパルス幅変調された制御信号300を生成して、出力電圧 V_{out} が設定出力電圧に等しくなるようゲート駆動回路8を介して、降圧用NMOSトランジスタ10をスイッチング制御する。この時、レベルシフトされた誤差信号101のレベルは三角波信号200のレベルよりも低くなるので、ゲート駆動回路9の駆動信号401はローレベルで一定値となり、昇圧用NMOSトランジスタ11は常時オフ状態となる。MOSTランジスタのゲートは容量性負荷なので、制御信号がローレベルからハイレベルへ、またはハイレベルからローレベルへ切り替わる瞬間にしか電流は流れない。したがって、スイッチング時間を短縮してスイッチング損失を低減するためにゲート充電電流を増大させても、制御回路の消費電流増加は僅かで済む。

【0026】制御信号300のオンデューティは、出力電圧 V_{out} の前記設定出力電圧からのずれに連動して変化する。即ち、出力電圧 V_{out} が設定出力電圧よりも大きくなると誤差信号100のレベルが低下し、三角波信号200との交差点は低電圧側へ移動する。この結果オンデューティが減少し、出力電圧 V_{out} も減少する方向に変化する。逆に、出力電圧が設定出力電圧

よりも小さくなると、誤差信号と三角波信号との交差点は高電圧側へ移動し、この結果、オンデューティが増加して、出力電圧も増加する方向に変化する。

【0027】ゲート駆動回路8は制御信号300より高電圧の駆動信号（電圧振幅7～8V）400を発生し、これをNMOSトランジスタ10のゲートに出力することにより、NMOSトランジスタ10をスイッチングさせる。このNMOSトランジスタ10のスイッチングにより、インダクタ12にスイッチング電流が流れ、そのスイッチング電流がダイオードD1、D2により整流され、更にコンデンサCにより平滑されて出力電圧 V_{out} になる。

【0028】一方、入力電圧 V_{in} が設定出力電圧よりも低い場合、PWMコンパレータ6は、誤差信号101でパルス幅変調された制御信号301を生成して、出力電圧 V_{out} が設定出力電圧に等しくなるようゲート駆動回路9を介して、昇圧用NMOSトランジスタ11をスイッチング制御する。この時、誤差信号100のレベルは三角波信号200のレベルよりも高くなるので、ゲート駆動回路8の駆動信号400はハイレベルで一定値となり、降圧用NMOSトランジスタ10は常時オン状態となる。

【0029】制御信号301のオンデューティは、出力電圧 V_{out} の前記設定出力電圧からのずれに連動して変化する。即ち、出力電圧 V_{out} が設定出力電圧よりも大きくなると誤差信号101のレベルが低下し、三角波信号200との交差点は低電圧側へ移動する。この結果オンデューティが減少し、出力電圧 V_{out} は減少する方向に変化する。逆に、出力電圧が設定出力電圧よりも小さくなると、誤差信号と三角波信号との交差点は高電圧側へ移動し、この結果、オンデューティが増加して、出力電圧も増加する方向に変化する。

【0030】このNMOSトランジスタ11のスイッチングにより、インダクタ12にスイッチング電流が流れ、そのスイッチング電流がダイオードD2により整流され、更にコンデンサCにより平滑されて出力電圧 V_{out} になる。

【0031】ここで、NMOSトランジスタ10の高電圧駆動について説明する。本例では、降圧用スイッチング素子として、NMOSトランジスタ10を用いているため、NMOSトランジスタ10を駆動する駆動信号400としては、直流入力電圧+FEETのしきい値電圧 V_{th} を超える高い電圧が必要で、7～8V程の高電圧が必要となる。このため、電源回路7を図2で示すようなチャージポンプとして高電圧を発生させ、これをゲート駆動回路8に供給して、制御信号300から高電圧の駆動信号400を作成している。尚、電源回路7として、昇圧スイッチングレギュレータを使用することもできる。

【0032】本実施の形態によれば、昇降圧用のDC-

DCコンバータ装置のスイッチング素子として、NMOSトランジスタ10、11を用いているため、スイッチング素子のスイッチング効率を落とすことなく、制御信号300の高周波化(3MHz~5MHz)を図ることができ、例えば3MHz、入力電圧2.5~6.0V、出力電圧3.3V、出力電流400mAでは85%の電圧変換効率を得ることができる。

【0033】従って、電圧変換効率を落とすことなく、NMOSトランジスタ10、11、インダクタ12、平滑コンデンサC等の昇降圧DC-DCコンバータの構成部品の小型化を達成し、しいては、回路のサイズ(面積)を従来の半分程度まで小さくすることができる。

【0034】尚、上記実施の形態によれば、降圧用MOSトランジスタ10として、N型のMOSトランジスタを用いたが、これをP型のMOSトランジスタとしてもよい。この場合、P型のMOSトランジスタをスイッチングする駆動信号は高電圧である必要がないため、高電圧を生成する電源回路7を必要としないが、同一の直流オン抵抗とするには、P型のMOSトランジスタのサイズはN型のMOSトランジスタを用いた場合よりも3倍ほど大きくなり、またこれに伴ってゲート容量も約3倍となるため、制御信号を高周波化した場合に、変換効率も落ちることになる。

【0035】しかし、それでも、従来のバイポーラのトランジスタを用いた場合に比べれば、高い変換効率を維持することができるため、回路サイズをそれなりに小さくすることもできる。

【0036】又、P型のMOSトランジスタを用いた場合は、制御回路系とスイッチング素子の全てをモノリシックにして一体とすることができる。

【0037】また、誤差信号100、およびレベルシフトされた誤差信号101と三角波信号200が入力されるPWMコンパレータ5、6の入力端子の極性は、ゲート駆動回路の構成に対応して変えることが可能である。即ち本実施例の場合、ゲート駆動回路は入力信号の論理レベルをそのまま出力する構成となっているが、入出力を反転する構成とした場合には、誤差信号およびレベル

シフトされた誤差信号をPWMコンパレータのマイナス端子に入力し、三角波信号200をプラス端子に入力することで、本実施例と同様の効果を得ることが可能である。

【0038】

【発明の効果】以上詳細に説明したように、本発明のDC-DCコンバータ装置によれば、電圧変換効率を落とすことなく制御信号の高周波化を図って部品を小型にすることができ、回路サイズを小さくすることが容易にできる。

【図面の簡単な説明】

【図1】本発明のDC-DCコンバータ装置の一実施の形態を示した回路図である。

【図2】図1に示した電源回路の構成例を示した回路図である。

【図3】図1に示したゲート駆動回路の構成例を示した回路図である。

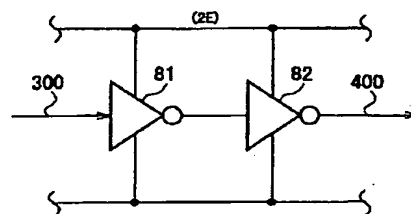
【図4】図1に示したレベルシフト回路の構成例を示した回路図である。

【図5】従来の昇降圧DC-DCコンバータの構成例を示した回路図である。

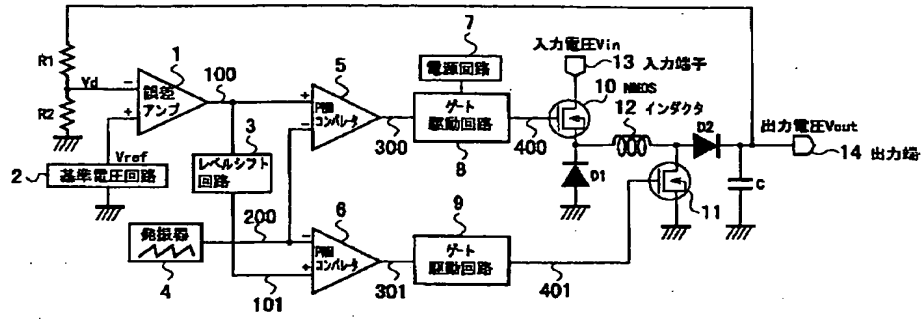
【符号の説明】

- 1 誤差アンプ
- 2 基準電圧回路
- 3 レベルシフト回路
- 4 発振器
- 5、6 PWMコンパレータ
- 7 電源回路
- 8、9 ゲート駆動回路
- 10 降圧用NMOSトランジスタ
- 11 昇圧用NMOSトランジスタ
- 12 インダクタ
- 13 入力端子
- 14 出力端子
- C コンデンサ
- D1、D2 ダイオード
- R1、R2 抵抗

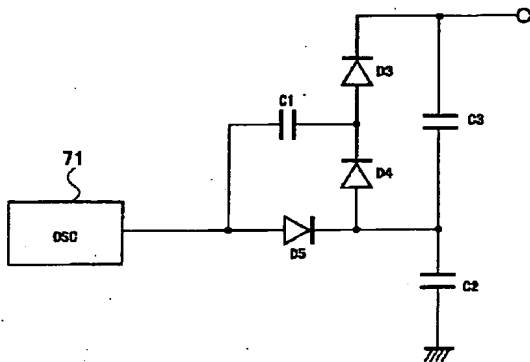
【図3】



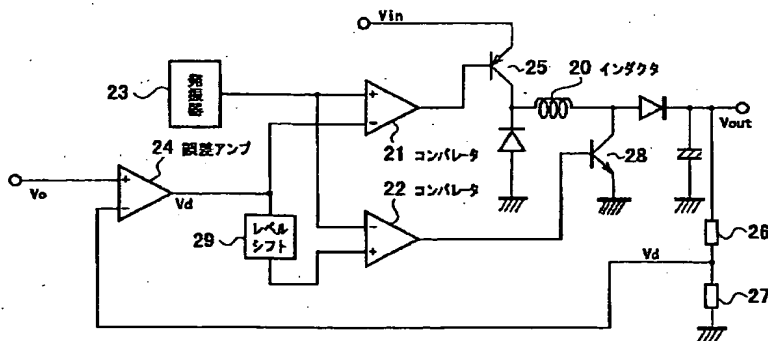
【図1】



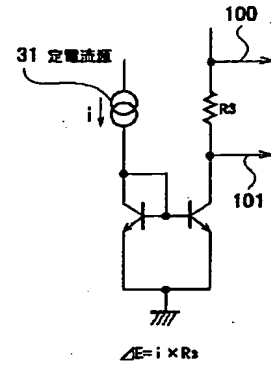
【図2】



【図5】



【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.